



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085200

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 27/108

H01L 27/04

H01L 27/08

(21)Application number : 05-035615

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 24.02.1993

(72)Inventor : LEE DONG-JAE
JUN DONG-SOO
MIN DONG-SUN
SEOK YONG-SIK

(30)Priority

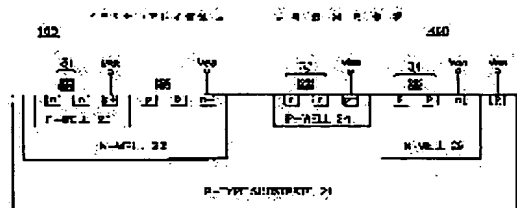
Priority number : 92 9212438 Priority date : 13.07.1992 Priority country : KR

(54) SEMICONDUCTOR DEVICE POSSESSED OF TRIPLE-WELL STRUCTURE

(57)Abstract:

PURPOSE: To restrain power supply noises from affecting a memory cell array and a peripheral region so as to prevent a memory device from malfunctioning, by a method wherein the memory device is possessed of a triple-well structure where a power supply is separately fed.

CONSTITUTION: Only the well bias of a P well 23 in a memory cell array region 100 is set at a negative voltage VBB, and the well bias of a P well 24 in a peripheral circuit region 400 is set at a grounding voltage VSS. The well biases of N wells 22 and 25 in the memory cell array region and the peripheral circuit region are set at a power supply voltage VCC. When a negative voltage VBB is supplied to the P well 23 in the memory cell array region 100, a junction between the P well and an N+ diffusion region which serves as the drain region of a sense amplifier MOS transistor 31 is reversely biased, so that bit lines are lessened in capacitance, and noise troubles caused by mutual interference can be prevented.



LEGAL STATUS

[Date of request for examination] 30.06.1993

[Date of sending the examiner's decision of rejection] 09.01.1996

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-85200

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

27/04

27/08

H 8427-4M

3 3 1 D 9054-4M

9170-4M

H 0 1 L 27/ 10

3 2 5 R

審査請求 有 請求項の数22(全 12 頁)

(21)出願番号 特願平5-35615

(22)出願日 平成5年(1993)2月24日

(31)優先権主張番号 1 9 9 2 P 1 2 4 3 8

(32)優先日 1992年7月13日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘3洞416

(72)発明者 李 東宰

大韓民国ソウル特別市瑞草区盤浦3洞235

番地新盤浦2次アパート112棟1203号

(72)発明者 全 東守

大韓民国ソウル特別市瑞草区瑞草2洞新東

亜アパート3棟1011号

(72)発明者 関 東暄

大韓民国ソウル特別市江南区大峙2洞銀馬

アパート3棟801号

(74)代理人 弁理士 高月 猛

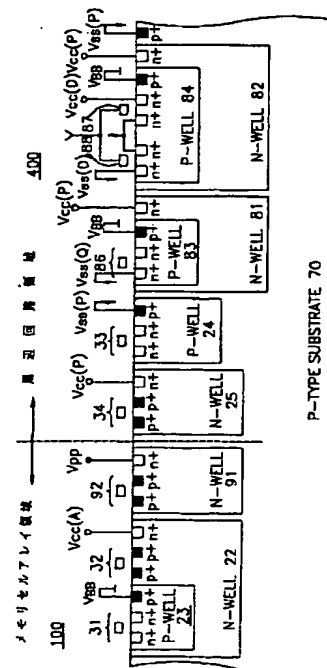
最終頁に続く

(54)【発明の名称】 3重ウェル構造を有する半導体装置

(57)【要約】

【目的】 メモリセルアレイ領域と周辺回路領域との間の電源ノイズによる影響を抑制しメモリ装置の誤動作を防止することができ、多数のウェルを有する高集積半導体装置の基板又はウェルの間の電気的な絶縁を確実に実現することのできる装置を提供する。

【構成】 単一基板に多数の回路が集積された半導体装置において、電源パッドをメモリセルアレイ用、周辺回路用、ワード線及びTTL入力バッファ用、データ出力駆動用に分けて電圧を供給し、3重ウェル構造を通じて各回路にそれぞれ値の違うバイアス電圧を加え、さらに同一の導電形ウェルを分離する。



1

【特許請求の範囲】

【請求項1】 第1導電形基板に形成される半導体装置において、

第1導電形基板に形成され、第1のバイアスが供給される第2導電形の第1ウェルと、該第2導電形の第1ウェル内に形成され、第2のバイアスが供給される第1導電形のウェルと、該第1導電形のウェル内に形成され、前記第2のバイア스에接する第2導電形の第2ウェルとを備えていることを特徴とする半導体装置。

【請求項2】 第1導電形基板に第3のバイアスが供給される請求項1記載の半導体装置。

【請求項3】 第1導電形のウェル内に第2導電形のMOSトランジスタのアクティブ領域が形成されている請求項2記載の半導体装置。

【請求項4】 第2導電形のウェルのうち、少なくとも一つのウェルが第1導電形のMOSトランジスタを備えている請求項3記載の半導体装置。

【請求項5】 第2導電形のウェルから隔離され、第1導電形のMOSトランジスタをもち、第4のバイアスが供給される第2導電形の第3ウェルを備えている請求項2記載の半導体装置。

【請求項6】 第1のバイアスは電源電圧より高い電圧であり、第2のバイアスは負電圧であり、第3のバイアスは接地電圧であり、第4のバイアスは電源電圧である請求項5記載の半導体装置。

【請求項7】 第1のバイアスは電源電圧より低い内部電圧であり、第2のバイアスは負電圧であり、第3のバイアスは接地電圧であり、第4のバイアスは電源電圧である請求項5記載の半導体装置。

【請求項8】 第1導電形基板に集積され、メモリセルアレイ領域と周辺回路領域とを有する半導体装置において、

メモリセルアレイ領域の第1導電形基板に形成され、第1導電形のMOSトランジスタをもち、第1のバイアスが供給される第2導電形の第1ウェルと、該第2導電形の第1ウェル内に形成され、第2導電形のMOSトランジスタをもち、第2のバイアスが供給される第1導電形の第1ウェルと、周辺回路領域の第1導電形基板に形成され、第2導電形のMOSトランジスタをもち、第3のバイアスが供給される第1導電形の第2ウェルと、周辺回路領域の第1導電形基板に、前記第1導電形の第2ウェルから離隔されて形成され、第1導電形のMOSトランジスタをもち、第1のバイアスが供給される第2導電形の第2ウェルとを備えていることを特徴とする半導体装置。

【請求項9】 第1導電形基板は、第3のバイア스에接続される第1導電形の高濃度拡散領域を備えている請求項8記載の半導体装置。

【請求項10】 第1のバイアスは電源電圧であり、第

2

2のバイアスは負電圧であり、第3のバイアスは接地電圧である請求項9記載の半導体装置。

【請求項11】 第2のバイアスとなる負電圧を出力する負電圧発生回路を備えている請求項10記載の半導体装置。

【請求項12】 第1導電形基板に集積され、メモリセルアレイ領域と周辺回路領域とを有する半導体装置において、

メモリセルアレイ領域の第1導電形基板に形成され、第1導電形のMOSトランジスタをもち、第1のバイアスが供給される第2導電形の第1ウェルと、

該第2導電形の第1ウェル内に形成され、第2導電形のMOSトランジスタをもち、第2のバイアスが供給される第1導電形の第1ウェルと、

周辺回路領域の第1導電形基板に形成され、第2導電形のMOSトランジスタをもち、前記第2のバイアスが供給される第1導電形の第2ウェルと、

周辺回路領域の第1導電形基板に、前記第1導電形の第2ウェルから隔離されて形成され、第1導電形のMOSトランジスタをもち、第3のバイアスが供給される第2導電形の第2ウェルとを備えていることを特徴とする半導体装置。

【請求項13】 各ウェルから隔離され、第2のバイア스에接続される第1導電形の高濃度拡散領域が第1導電形基板に備えられている請求項12記載の半導体装置。

【請求項14】 第1のバイアスは電源電圧より高い電圧であり、第2のバイアスは接地電圧であり、第3のバイアスは電源電圧である請求項13記載の半導体装置。

【請求項15】 第1のバイアスは電源電圧より高い電圧であり、第2のバイアスは負電圧であり、第3のバイアスは電源電圧である請求項12記載の半導体装置。

【請求項16】 接地電圧に接続される第1導電形の高濃度拡散領域が第1導電形基板に備えられている請求項15記載の半導体装置。

【請求項17】 電源電圧より高い電圧を発生する電圧昇圧回路を備えている請求項14又は請求項15のいずれかに記載の半導体装置。

【請求項18】 第1のバイアスは電源電圧より低い内部電圧であり、第2のバイアスは負電圧であり、第3のバイアスは電源電圧であることを特徴とする請求項12記載の半導体装置。

【請求項19】 第1のバイアスは電源電圧より低い内部電圧であり、第2のバイアスは負電圧であり、第3のバイアスは電源電圧より低い内部電圧である請求項12記載の半導体装置。

【請求項20】 電源電圧より低い内部電圧を出力する内部電圧発生回路を備えている請求項18又は請求項19のいずれかに記載の半導体装置。

【請求項21】 一つの第1導電形基板に集積されてなり、複数のワード線、ビット線、メモリセル、センスア

3

ンプ、ローデコーダ、及びワード線ドライバを有してなるメモリセルアレイ領域と、TTL入力バッファ及びデータ出力ドライバを有してなる周辺回路領域とを備えた半導体装置において、

メモリセルアレイ領域用の第1電源パッド群と、

周辺回路領域用の第2電源パッド群と、

ワード線用及びTTL入力バッファ用の第3電源パッド群と、

データ出力ドライバ用の第4電源パッド群と、

メモリセルアレイ領域の第1導電形基板に形成され、少なくとも第1導電形の第1ウェルを内部にもち、前記第1電源パッド群に接続される第2導電形の第1ウェルと、

周辺回路領域の第1導電形基板に形成され、少なくとも第1導電形の第2ウェルを内部にもち、前記第2電源パッド群に接続される第2導電形の第2ウェルと、

前記第1導電形の第1ウェル内に形成され、前記第3電源パッド群に接続される第2導電形のMOSトランジスタと、

前記第1導電形の第2ウェル内に形成され、前記第4電源パッド群に接続される第2導電形のMOSトランジスタとを備えていることを特徴とする半導体装置。

【請求項22】 第1導電形基板と、該第1導電形基板に形成される第2導電形のウェルと、該第2導電形のウェル内に形成される第1導電形のウェルと、該第1導電形のウェルに形成される第2導電形の第1MOSトランジスタ及び第1導電形の第1の高濃度拡散領域と、前記第2導電形のウェルに形成される第1導電形の第2MOSトランジスタ及び第2導電形の第2の高濃度拡散領域と、前記第1導電形基板に形成される第1導電形の第3の高濃度拡散領域とを備えた半導体装置であって、第1MOSトランジスタのソース及びドレインと、第1の高濃度拡散領域と、第2MOSトランジスタのゲートと、第3の高濃度拡散領域とが共通に接続され、そして、第1MOSトランジスタのゲートと、第2MOSトランジスタのソース及びドレインと、第2の高濃度拡散領域とが共通に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に関するもので、特に3重ウェル構造を有する半導体装置に関するものである。

【0002】

【従来の技術】半導体メモリ装置の容量は数年ごとに4倍ずつ増加する傾向であり、大容量化及び高集積化の中で、新たなメモリ装置の構造や工程技術が提案されてきた。例えば、4Mbit級のメモリ装置においては、限られた面積での大容量化を図るため、メモリセルアレイ等が3次元的構成となり、さらに16Mbit級以上の

4

メモリ装置となってからは、メモリに集積されたMOSトランジスタの縮小化にともない、低レベルの内部電源電圧を使用するようになっている。これに伴い、メモリ装置内の構造的な縮小に起因する雑音問題に対する一層の配慮が要求されるようになり、さらに、低電力での高速アクセスタイムの実現および高集積化に適合したメモリセル構造の構築も同時に要求されている。

【0003】図18は64Mbit級のDRAMの概略的な構成を示している。同図の半導体メモリ装置は、4つの16Mbitのメモリセルアレイ領域100、110、120、130と、メモリ装置の中央線上に一つずつ配置されたローデコーダ/ワード線ドライバ領域300、310と、メモリセルアレイ領域にそれぞれ対応する4つのカラムデコーダ領域200、210、220、230と、中央部に配置された周辺回路領域400及びパッド領域500、510とからなっている。

【0004】メモリセルアレイ領域100には複数のメモリセル、ワード線及びビット線、センスアンプが集積されており、周辺回路領域400にはTTLレベル入力バッファとデータ出力バッファ及び出力ドライバが集積されている。ローデコーダ/ワード線ドライバ領域300、310にはワード線駆動クロックを発生する回路が備えられている。これらの回路は複数個のNMOSトランジスタとPMOSトランジスタで構成されるCMOS回路であり、1つの基板（又は、ウェーハ）に作られた多数のウェルや拡散領域等から形成されている。

【0005】図19～図22にメモリセルアレイ領域100と周辺回路領域400にそれぞれ存在する回路の代表的な例を示した。図19に示すビット線系回路はビット線等化回路50、60、メモリセル51、61、N形センスアンプ52及びP形センスアンプ62、分離ゲート53、63、カラムゲート55、ワード線WL1、WL2、及びビット線BL、バーBLとから構成される。

【0006】図19のビット線系回路、図20のローデコーダ/ワード線駆動クロック発生回路、図21のRAS用TTL入力バッファ及び図22のデータ出力バッファ/ドライバ等の等価回路的な構成はすでに公知のものである。ただし、図21、図22に示されたバックゲート電圧 V_{BG} が印加されるトランジスタ86、87、88に係る部分は本発明に係わる部分である。

【0007】図18のようなメモリ装置の製作において、基板がP形の場合、Nウェル内にはPMOSトランジスタが形成され、基板にはNMOSトランジスタが形成される。この場合、基板には所定レベルの基板バイアス（普通は接地電圧）が供給され、Nウェルにはトランジスタのしきい電圧等を維持するためにバックゲート電圧（MOSトランジスタがNウェルに形成されていることから“バックゲート電圧”と称してもよいし、ウェルに直接印加されるバイアス電圧という意味で“ウェルバイアス”と称することもできる。以下においては両方と

5

も同一のものを指す)が印加される。一方、基板がN形の場合にはPウェルに形成されたNMOSトランジスタのしきい電圧を調整するために、Pウェルに所定レベルのバックゲート電圧を供給する。バックゲート電圧に係るものとして、韓国特許出願番号第86-6557号においては、ワード線駆動用のトランジスタとセルトランジスタとの間のしきい電圧の差によるデータ漏れを防止するために、セルトランジスタが形成されているPウェルに所定レベルのバックゲート電圧を供給する技術が開示されている。

【0008】メモリ装置が高集積化されると(少なくとも、16Mbit以上)、多くのウェルが基板に形成され、該当する素子の用途に従い必要なウェルバイアス

(又は、トランジスタのバックゲート電圧とも言う)が設定される。図23はメモリセルアレイ領域と周辺回路領域におけるウェルバイアスの印加状態を示す。同図のようなN+/P/Nからなる3重ウェル構造は“A45ns 16Mbit DRAM with Triple-Well Structure”IEEE JSSC., vol.24, no.5, Oct.1989, pp.1170-1174に開示されている。メモリセルアレイ領域100でNウェル22内のPウェル23に形成されるNMOSトランジスタ31と、Nウェル22に形成されるPMOSトランジスタ32はそれぞれメモリセルアレイ領域100内のN形及びP形センスアンプを構成するトランジスタである。また、周辺回路領域400においてPウェル24に形成されるNMOSトランジスタ33と、Nウェル25に形成されるPMOSトランジスタ34は、それぞれTTL入力バッファとデータ出力ドライバに存在するトランジスタである。

【0009】図23の断面構造に該当する回路については、図19～図22を参照する。メモリセルアレイ領域100において、Pウェル23のウェルバイアス電極26(又は、NMOSトランジスタ31のバックゲート電極)に接地電圧V_{SS}又は負電圧V_{BB}が印加され、Nウェル22のウェルバイアス電極27(又は、PMOSトランジスタ32のバックゲート電極)には電源電圧V_{CC}が印加される。周辺回路領域400において、Pウェル24のウェルバイアス電極28(又は、NMOSトランジスタ33のバックゲート電極)には接地電圧V_{SS}又は負電圧V_{BB}が印加され、Nウェル25のウェルバイアス電極29(又は、PMOSトランジスタ34のバックゲート電極)には電源電圧V_{CC}が印加される。そしてP形基板21の電極30は接地とされる。メモリセルアレイ領域100に形成されるNウェル22によりPウェル23とP形基板21との間が電気的に分離され、またそれぞれのウェルに設定されるウェルバイアス間の干渉を排除している。これが高集積メモリ装置で3重ウェルを使用することによる利点である。

【0010】しかし、上記のような従来の技術には下記のような問題点があった。第一に、Pウェル23及び2

6

4のウェルバイアス電極26及び28に接地電圧V_{SS}を印加した場合には、メモリセルアレイ領域においてビット線は大部分Pウェルの領域上にあるのでビット線の静電容量が大きくなり、ビット線容量C_Bとメモリセルの記憶キャパシタの容量C_Sの比C_B/C_Sが増加するという悪影響を招く。すなわち、メモリセルアレイ領域のPウェル23に形成されているNMOSトランジスタ31(これはカレントミラー形N形センスアンプを構成している)のドレインとなるN+拡散領域にはビット線が

10 接続しており(図19のN形センスアンプ52を参照)、ビット線の容量が記憶キャパシタの容量に比べて相対的に大きくなると、メモリセルからデータを読み出す時間が遅くなるのは本発明の技術分野ではよく知られた事実である。また、周辺回路領域のPウェルとメモリセルアレイ領域のPウェルの両方に共通した接地電圧が供給されているため、周辺回路領域での接地電圧から生ずるノイズにより、メモリセルアレイ領域での接地電圧が干渉を受け、メモリセルアレイでの回路動作特性を悪化させる原因となる。

20 【0011】第二に、Pウェル23及び24のウェルバイアス電極26及び28に負電圧V_{BB}を印加した場合には、高集積化のために周辺回路領域のトランジスタは短チャネルとなっているのでしきい電圧が低下しており、そのため負電圧発生回路から出力される負電圧V_{BB}が所定の正常レベルに到る前にラッチアップ現象が生じやすくなっている。メモリ装置において、別途の負電圧の発生回路から発生される負電圧は、電源電圧や接地電圧のように殆ど一定というわけではなく(勿論、電源電圧や接地電圧も外部影響によっていくらかは変動するが)、

30 継続的なフィードバックによってオシレータや電荷昇圧器等により所定の正常レベルを保つように補正が必要である。この負電圧が正常レベルであればラッチアップ現象を抑制することが出来るが、所定レベルから遠ざかりつつある時や、所定レベルへ復帰しつつある過程の時には、基板内に存在する寄生素子の駆動を抑制できず、前述のラッチアップ現象を誘発してメモリ装置の誤動作を招いていた。

【0012】

40 【発明が解決しようとする課題】したがって本発明の目的は、一つのメモリ装置内にメモリセルアレイ領域と周辺回路領域とを有する高集積半導体装置において、両領域間の電源ノイズによる影響を抑えメモリ装置の動作不良を防止できる装置を提供することにある。本発明の他の目的は、多数のウェルを有する高集積半導体装置において、基板又はウェルの間の電気的な絶縁を確実に実現することができる装置を提供することにある。

【0013】

50 【課題を解決するための手段】このような目的を達成するために本発明は、一つの第1導電形基板に集積されており、複数のワード線、ビット線、メモリセル、センス

7

アンプ、ローデコーダ、及びワード線ドライバを有してなるメモリセルアレイ領域と、TTL入力バッファ及びデータ出力ドライバを有してなる周辺回路領域とを備えた半導体装置において、メモリセルアレイ領域用の第1電源パッド群と、周辺回路領域用の第2電源パッド群と、ワード線用及びTTL入力バッファ用の第3電源パッド群と、データ出力ドライバ用の第4電源パッド群と、メモリセルアレイ領域の第1導電形基板に形成され、少なくとも第1導電形の第1ウェルを内部にもち、前記第1電源パッド群に接続される第2導電形の第1ウェルと、周辺回路領域の第1導電形基板に形成され、少なくとも第1導電形の第2ウェルを内部にもち、前記第2電源パッド群に接続される第2導電形の第2ウェルと、前記第1導電形の第1ウェル内に形成され、前記第3電源パッド群に接続される第2導電形のMOSトランジスタと、前記第1導電形の第2ウェル内に形成され、前記第4電源パッド群に接続される第2導電形のMOSトランジスタとを備えていることを特徴とする。

【0014】

【実施例】以下、本発明を添付の図面を参照して詳細に説明する。図2～図4は、図23と同様の断面構造上における本発明によるウェルバイアス（又は、バックゲート電圧）の印加状態を示す実施例である。なお、共通する部分には同じ符号を付し、重複する説明は省略する。

【0015】図2において、メモリセルアレイ領域100のPウェル23のウェルバイアスだけを負電圧 V_{BB} とし、周辺回路領域400のPウェル24のウェルバイアスは接地電圧 V_{SS} とする。そして、メモリセルアレイ及び周辺回路領域にあるNウェル22、25のウェルバイアスを電源電圧 V_{CC} としている。このようにメモリセルアレイ領域100でPウェル23に負電圧 V_{BB} を供給すると、センスアンプ用NMOSトランジスタ31のドレインとなるN+拡散領域とPウェルとの間の接合が逆バイアスとなるのでビット線の容量が減少し、その結果前述の C_B/C_S 比も減少する。さらに、周辺回路領域400とメモリセルアレイ領域100の両Pウェルに印加されるウェルバイアスがそれぞれ接地電圧 V_{SS} と負電圧 V_{BB} となっているので、前述の相互干渉によるノイズ問題を防ぐことができる。また、周辺回路領域400のPウェル24には接地電圧 V_{SS} が印加されるので、従来のような短チャネルによるラッチアップ現象が抑制される。

【0016】図3において、周辺回路領域400のNウェル25には電源電圧 V_{CC} を印加し、Pウェル24には接地電圧 V_{SS} 又は負電圧 V_{BB} を印加し、メモリセルアレイ領域100のNウェル22にはメモリ装置内の高電圧発生回路で発生させた電源電圧 V_{CC} より高い電圧（以下、“昇圧電圧”と言う） V_{PP} を印加し、Pウェル23には接地電圧 V_{SS} 又は負電圧 V_{BB} を印加している。このようにすると、周辺回路領域400の電源電圧 V_{CC} で発

8

生するノイズがメモリセルアレイ領域に影響を与えないようになる。

【0017】図4において、周辺回路領域400内のNウェル25には電源電圧 V_{CC} 又はこの電源電圧より低い内部用の電圧（以下、“内部電圧”と言う） V_{INT} を印加し、Pウェル24には接地電圧 V_{SS} 又は負電圧 V_{BB} を印加し、メモリセルアレイ領域100のNウェル22には内部電圧 V_{INT} を印加し、Pウェル23には接地電圧 V_{SS} 又は負電圧 V_{BB} を印加する。この場合においても、図3のような効果を得ることができる。

【0018】上述の図2～図4に示す本発明の実施例は、ウェルバイアスを選択的に設定し、印加状態を調整することにより電源間の干渉効果等を排除しようとしたものであるが、以下に示す図5及び図6では同一の導電形のウェル同士を分離すると同時に基板と同一の導電形ウェルが基板と短絡するのを防止しようとするものである。

【0019】図5はメモリセルアレイ領域における適用例を示す。図5においては、P形基板70内で二つのNウェル71及び72は相互に隔離されており、Nウェル71内にはメモリセルアレイ領域におけるN形センスアンプを構成するNMOSトランジスタ74が形成されるPウェル73が形成されている。一方、Nウェル72内に形成されたPMOSトランジスタ75はメモリセルアレイ領域のP形センスアンプを構成するトランジスタである。また、Pウェル73には負電圧 V_{BB} がウェルバイアス（又は、バックゲート電圧）として印加され、このPウェル73を取り囲むNウェル71には昇圧電圧 V_{PP} 又は内部電圧 V_{INT} が印加され、Nウェル71から隔離されたもう一つのNウェル72には電源電圧 V_{CC} が供給される。Nウェル71に電源電圧 V_{CC} ではない昇圧電圧 V_{PP} 又は内部電圧 V_{INT} が印加され、そしてNウェルが相互に分離されているので、電源電圧に誘起されたノイズに対してPウェル73のウェルバイアスが干渉することがなく、安定した動作が可能となる。

【0020】図6は周辺回路領域における適用例を示す。図6においては、NMOSトランジスタ86が形成されたPウェル83をNウェル81が取り囲み、NMOSトランジスタ87及び88が形成されたPウェル84をNウェル81と隔離されたNウェル82が取り囲んでいる。トランジスタ86は周辺回路領域に存在するTTL入力バッファ（図21を参照）内のNMOSトランジスタである。そして、トランジスタ87、88は周辺回路領域にあるデータ出力バッファ（又は、出力ドライバ：図22を参照）内のNMOSトランジスタである。NMOSトランジスタのバックゲート電圧（又は、Pウェルのウェルバイアス）は共に負電圧 V_{BB} であり、Pウェル83及び84はそれぞれNウェル81及び82により基板70と分離されている。そしてNウェル81、82にはそれぞれ電源電圧 V_{CC} が印加され、このNウェル

9

に印加された電源電圧 V_{CC} は相互に分離した電源パッドから供給されている。

【0021】図7は本発明の目的を達成するための手段としてのメモリ装置の電源パッドの配置を示す。一般に、メモリ装置で用いられる電源パッドは一つの電源電圧パッドと一つの接地電圧パッドを使用しているため、周辺回路に使われる電源でノイズが発生した場合、メモリセルアレイ領域にも干渉して悪影響を及ぼす。そこで、本発明においては図7に示すように、電源電圧 V_{CC} と接地電圧 V_{SS} をそれぞれメモリセルアレイ用と周辺回路用とに分け、さらに、図中左側用と右側用とに区別し、メモリセルアレイ用左側電源電圧パッド

(V_{CCLA})、メモリセルアレイ用右側電源電圧パッド(V_{CCRA})、メモリセルアレイ用左側接地電圧パッド(V_{SSLA})、メモリセルアレイ用右側接地電圧パッド(V_{SSRA})、周辺回路用左側電源電圧パッド(V_{CCLP})、周辺回路用右側電源電圧パッド(V_{CCRP})、周辺回路用左側接地電圧パッド(V_{SSLP})、周辺回路用右側接地電圧パッド(V_{SSRP})

として配置した。そしてさらに、ワード線用/TTL入力バッファ用の接地電圧パッドがそれぞれ左右にワード線用/TTL入力バッファ用左側接地電圧パッド(V_{SSLQ})、ワード線用/TTL入力バッファ用右側接地電圧パッド(V_{SSRQ})として配置されている。また、データ出力駆動用の電源電圧パッド(V_{CCRD})と接地電圧パッド(V_{SSRD})は別に備えられている。これは電源パッドを共通に使用する場合に予想される電源ノイズ等による悪影響が、同一の電源パッドを用いる他の領域にまで及ぶのを防止するための構成である。

【0022】上述の図2～図7に示した部分的な実施例を総合し、図18のようなメモリ装置に採用することのできる本発明の望ましい実施例を図1に基づいて説明する。なお、以下の説明および図1において、図2～図7中と同じ部分については同一の参照番号を付した。同時に図19～図22も参照する。

【0023】図1において、P形半導体基板70のメモリセルアレイ領域100には相互に隔離された第1Nウェル22及び第2Nウェル91があり、周辺回路領域400には相互に分離された第3Nウェル25、第4Nウェル81、第5Nウェル82及び第1Pウェル24がある。第1Nウェル22内には第2Pウェル23と第1PMOSトランジスタ32があり、第2Pウェル23内には第1NMOSトランジスタ31がある。この第1NMOSトランジスタ31はメモリセル、N形センスアンプ、入力・出力ゲート、ローデコーダ/ワード線ドライバ又は等化回路などの各種の回路に用いられるトランジスタと同一であり、このバックゲート電圧(又は、第2Pウェルのウェルバイアス)としては負電圧 V_{BB} を使用する。第1PMOSトランジスタ32はP形センスアンプに用いられるトランジスタであって、このバックゲート電圧(又は、第2Nウェルのウェルバイアス)としてはアレイ用の電源電圧 $V_{CC(A)}$ (V_{CCLA} 又は V_{CCRA} を表す)を使用する。第2Nウェル91内に形成された第2PMOSトランジスタ92はワード線駆動クロック発生回路(図20)に用いられるトランジスタであって、このバックゲート電圧(又は、第2Nウェルのウェルバイアス)は昇圧電圧 V_{PP} である。

【0024】一方、周辺回路領域400の第3Nウェル25内にはPMOSトランジスタ34がある。このトランジスタは周辺回路領域にあるいずれかのPMOSトランジスタであり、このバックゲート電圧は周辺回路用の電源電圧 $V_{CC(P)}$ (V_{CCLP} 又は V_{CCRP} を表す)を使用する。第1Pウェル24内には周辺回路領域に集積されたトランジスタのうちいずれかの任意のNMOSトランジスタ33があり、このバックゲート電圧(又は、第1Pウェルのウェルバイアス)は周辺回路用の接地電圧 $V_{SS(P)}$ (V_{SSLP} 又は V_{SSRP} を表す)を使用する。第4Nウェル81内にはNMOSトランジスタ86が形成された第3Pウェル83がある。このトランジスタ86のバックゲート電圧は負電圧 V_{BB} であり、トランジスタのソースに与えられる接地電圧はワード線及びTTL入力バッファ用の接地電圧 $V_{SS(Q)}$ (V_{SSLQ} 又は V_{SSRQ} を表す)を使用する。第5Nウェル82内にはNMOSトランジスタ87及び88が形成された第4Pウェル84がある。トランジスタ87及び88は図22の出力用トランジスタを示す。トランジスタ88のソースには駆動用の接地電圧 $V_{SS(D)}$ が供給され、トランジスタ87のドレインには駆動用の電源電圧 $V_{CC(D)}$ が供給される。そして、これらトランジスタのバックゲート電圧(又は、第4Pウェルのウェルバイアス)は負電圧 V_{BB} である。第5Nウェル82には周辺回路用の電源電圧 $V_{CC(P)}$ (V_{CCLP} 又は V_{CCRP} を表す)のウェルバイアスが印加される。

【0025】図1のように、本発明に従って各ウェルに印加されるウェルバイアス(又は、各トランジスタのバックゲート電圧)の設定を変えられるということは、この分野で通常の知識を有する者なら容易に理解できる。また、N形基板についても図1のような実施例を適用できるのは言うまでもない。

【0026】図8及び図9に、上述の本発明の3重ウェル構造を用いたMOSキャパシタの実施例を示した。図8はキャパシタを並列に設計した場合である。図8に示すように、NMOSトランジスタのゲート111とNウェル102内に形成されたP+拡散領域107、108及びN+拡散領域109を共に接続し、これを並列キャパシタの第1共通電極として、電源電圧 V_{CC} を印加する。また、Pウェル103内に形成されたN+拡散領域104、105及びバックゲート電圧印加用のP+拡散領域106と、基板101に形成されたP+拡散領域110と、PMOSトランジスタのゲート112とを共に

11

接続し、これを並列キャパシタの第2共通電極として、接地電圧 V_{SS} を印加する。こうしてNMOSキャパシタとPMOSキャパシタが並列に接続されたキャパシタ構造となる。

【0027】一方、図9においてはPMOSキャパシタとNMOSキャパシタとを直列に接続し、それぞれのゲートにクロックを印加する必要がある場合の構成を示している。同図に示すように、NMOS及びPMOSトランジスタのゲートに共通にクロックを供給し、Pウェルに形成されたすべての拡散領域を共通に接地させ、Nウェルに形成されたすべての拡散領域に電源電圧を供給している。もちろん以上の構成以外にも他の実施例が可能である。

【0028】図10～図14は本発明による3重ウェルの製造工程を示す。なお、図面の簡略化のために基板の一部のみを例示する。まず、P形のシリコン単結晶基板1上に酸化膜2と窒化膜3を順次に形成する(図10)。次に、第1フォトレジストパターン4を形成した後、窒化膜3と酸化膜2を選択的に蝕刻して、Nウェルを形成するための開口部5を形成し砒素や燐などの5族不純物をイオン注入する(図11)。次に、露出した基板の表面を湿式酸化すると同時に注入されたイオン不純物を拡散させNウェル7を形成する。この湿式酸化により露出した基板表面には厚い酸化膜6が形成される(図12)。次に、厚い酸化膜6及び残った酸化膜2と窒化膜3とを除去し、基板表面に薄いパッド酸化膜8を形成した後、第2フォトレジストパターン9を形成し砒素などの3族不純物をイオン注入する(図13)。Nウェル7の外部及び内部にそれぞれPウェル10及び11が形成され、その後、前記ウェルに必要なトランジスタが形成され、それによってバックゲート電圧(又は、ウェルバイアス)のための接触拡散領域が形成される(図14)。

【0029】図15、図16及び図17は本発明に用いられる負電圧 V_{BB} の発生回路、昇圧電圧 V_{PP} の発生回路及び内部電圧 V_{INT} 発生回路の出力特性図である。図15及び図16の各出力特性はDRAM等で一般的に使用される負電圧発生回路及び内部電圧発生回路のものである。図17の出力特性は「IEEE JSSC, Aug. 1991, pp. 117-1」に詳しく開示されているものである。

【0030】本発明の実施例においては基板がP形の場合について説明したが、基板がN形であっても各導電形を入れ換えることによって本発明を適用可能である。また、本発明はDRAMに限らずCMOS工程によって製造されるすべての高集積素子に適用できる。

【0031】

【発明の効果】以上述べてきたように、本発明は、半導体メモリ装置において電源を分離して供給した3重ウェル構造とすることによって素子内の電源ノイズの干渉に

12

よる誤動作を防止し、それにより、素子の動作安定性と信頼性を向上させるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体装置の一部断面図。

【図2】本発明によるウェルバイアスの印加状態の実施例を示す半導体装置の一部断面図。

【図3】本発明によるウェルバイアスの印加状態のその他の実施例を示す半導体装置の一部断面図。

【図4】本発明によるウェルバイアスの印加状態のさらにその他の実施例を示す半導体装置の一部断面図。

【図5】本発明によるメモリセルアレイ領域におけるウェル形成状態及びウェルバイアス印加状態の実施例を示す半導体装置の一部断面図。

【図6】本発明による周辺回路領域におけるウェル形成状態及びウェルバイアス印加状態の実施例を示す半導体装置の一部断面図。

【図7】本発明による電源パッドのレイアウト図。

【図8】本発明によるMOSキャパシタの実施例を示す一部断面図。

【図9】本発明によるMOSキャパシタの他の実施例を示す一部断面図。

【図10】本発明に用いられる3重ウェルを形成する際の製造工程図。

【図11】図10で示す製造工程の次の製造工程図。

【図12】図11で示す製造工程の次の製造工程図。

【図13】図12で示す製造工程の次の製造工程図。

【図14】図13で示す製造工程の次の製造工程図。

【図15】本発明に用いられる負電圧発生回路の電圧波形を示す図。

【図16】本発明に用いられる昇圧電圧発生回路の電圧波形を示す図。

【図17】本発明による内部電圧発生回路の電圧波形を示す図。

【図18】本発明の適用可能な一例として、64Mbit DRAMメモリ装置の概略的な構成を示すレイアウト図。

【図19】図18のメモリセルアレイ領域におけるビット線系回路図。

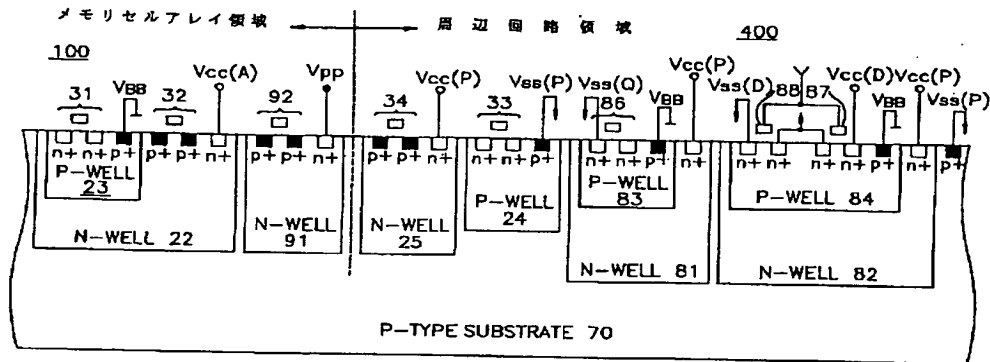
【図20】図18のローデコーダ/ワード線ドライバ領域におけるローデコーダ/ワード線駆動クロック発生回路図。

【図21】図18の周辺回路領域におけるTTL入力バッファの回路図。

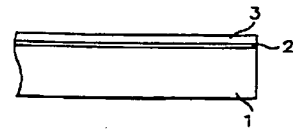
【図22】図18の周辺回路領域におけるデータ出力バッファ/ドライバの回路図。

【図23】従来技術によるウェルバイアスの印加状態を示す半導体装置の一部断面図。

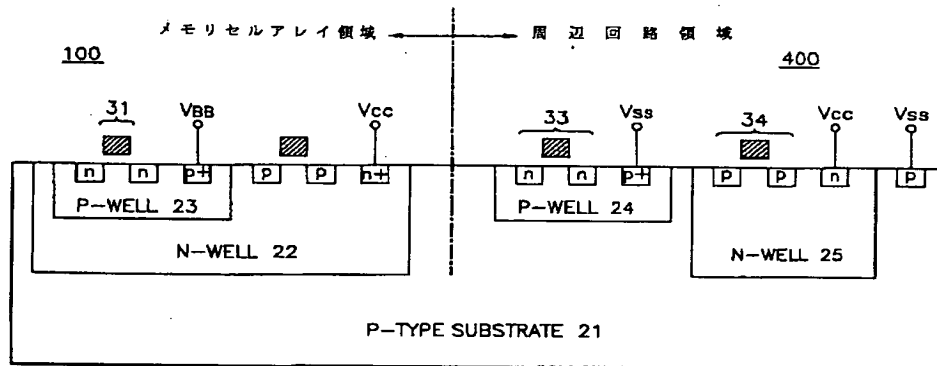
【図1】



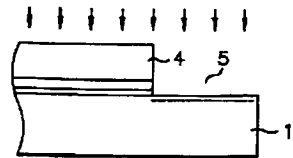
【図10】



【図2】



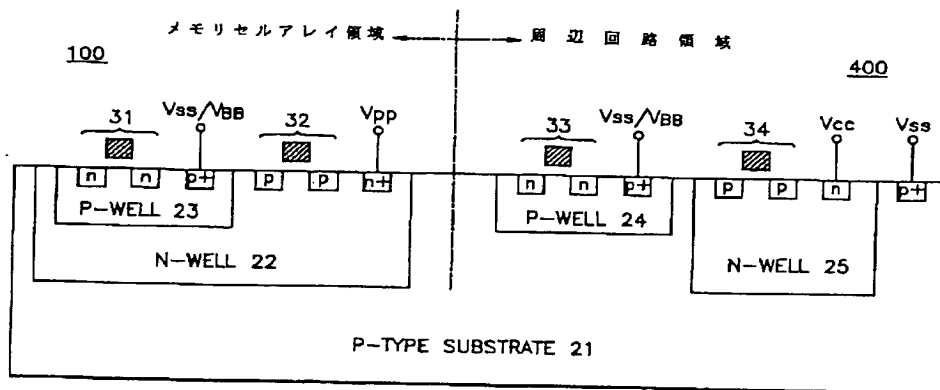
【図11】



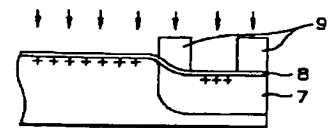
【図12】



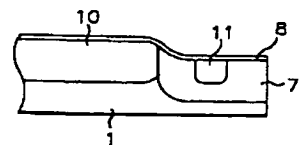
【図3】



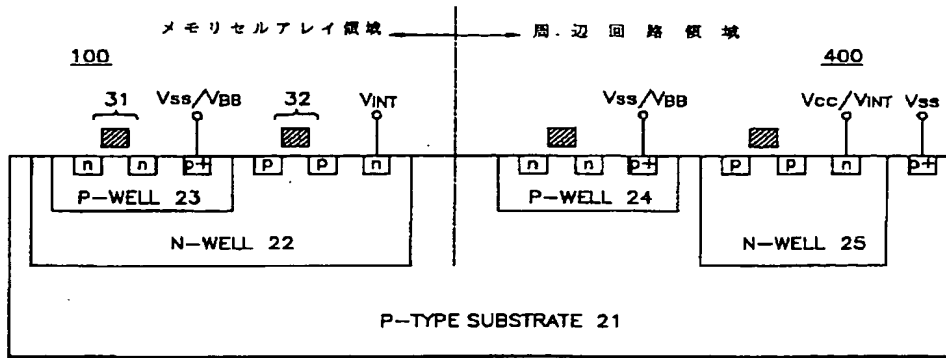
【図13】



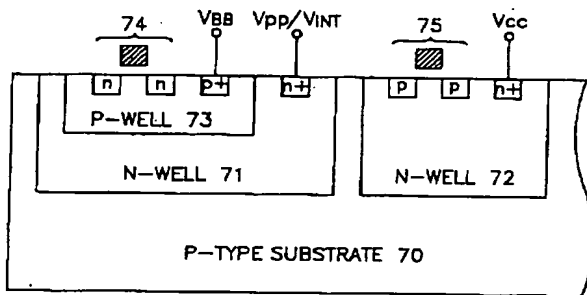
【図14】



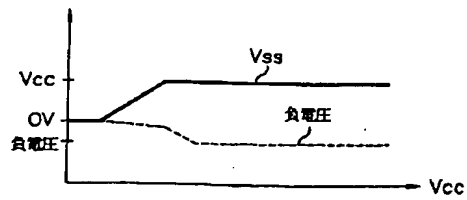
【図4】



【図5】

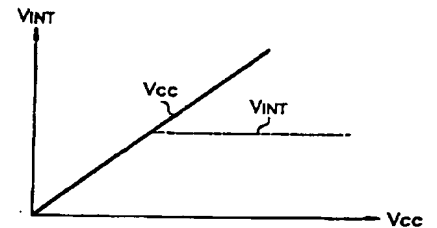
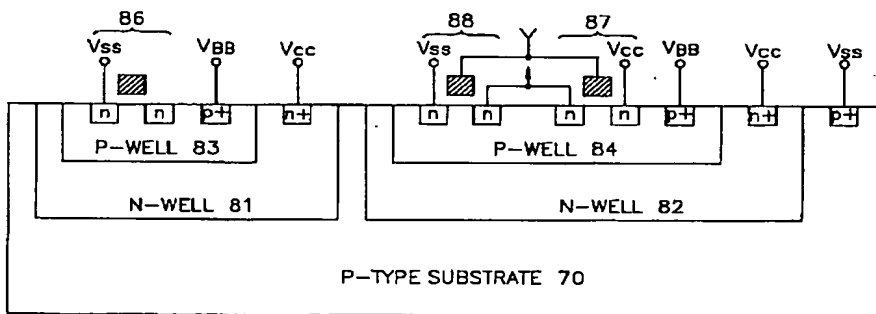


【図15】

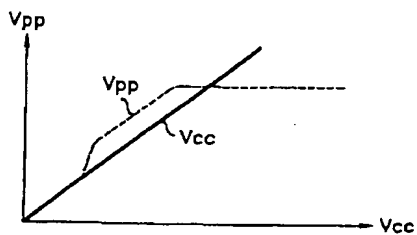


【図17】

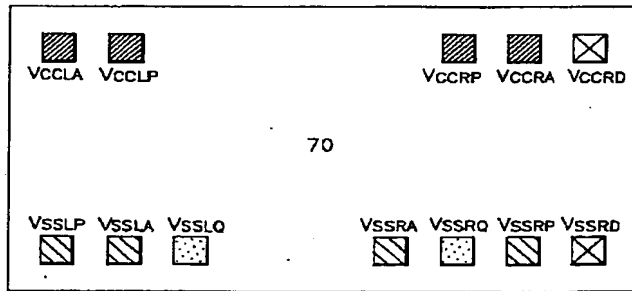
【図6】



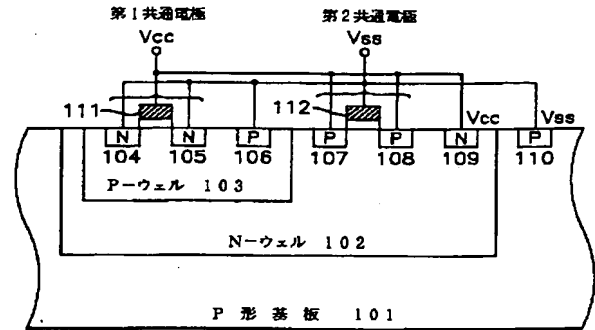
【図16】



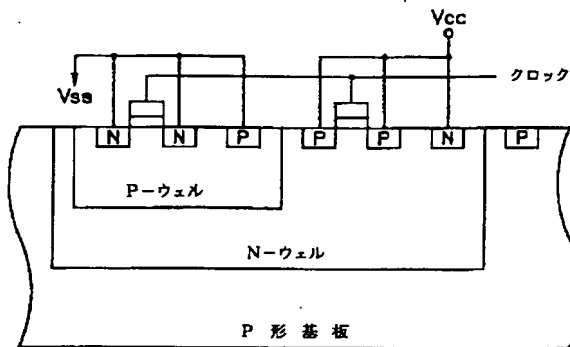
【図7】



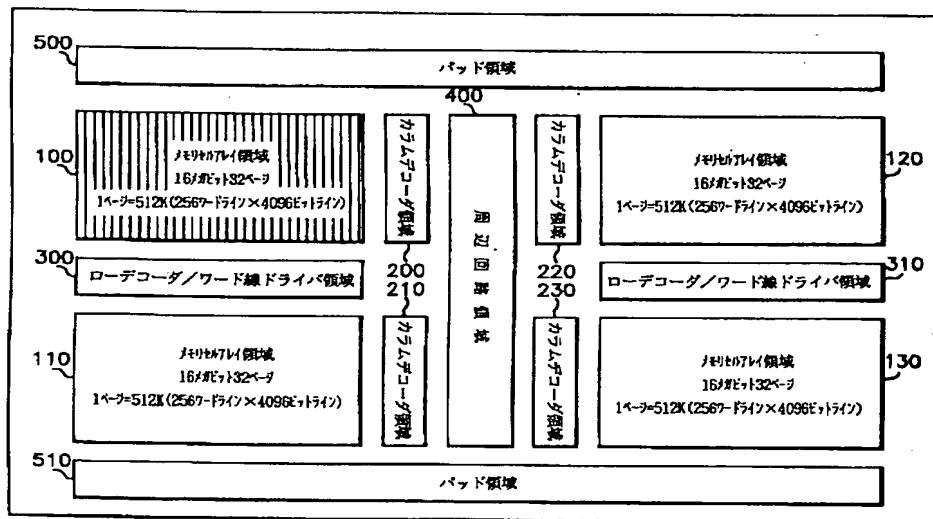
【図8】



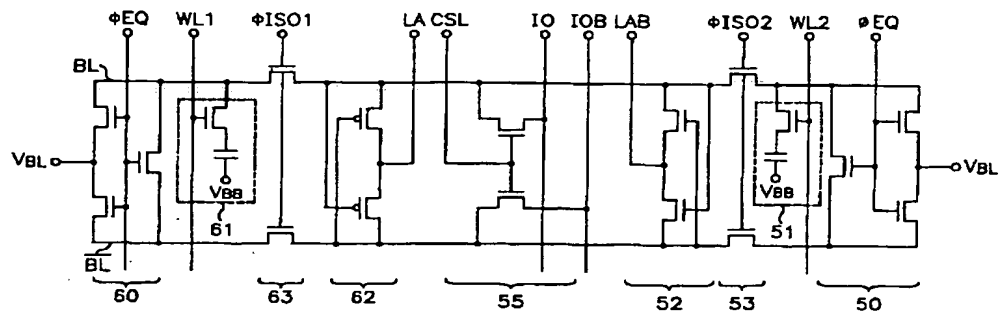
【図9】



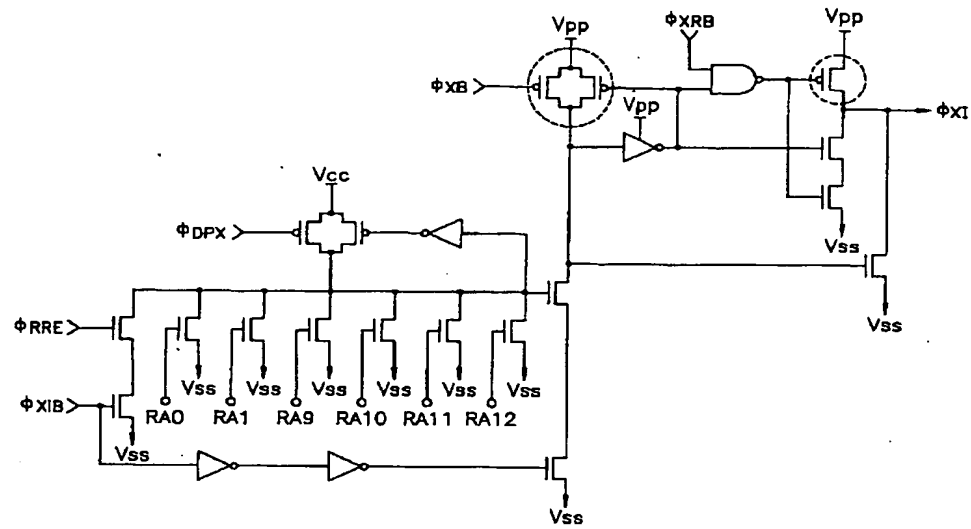
【図18】



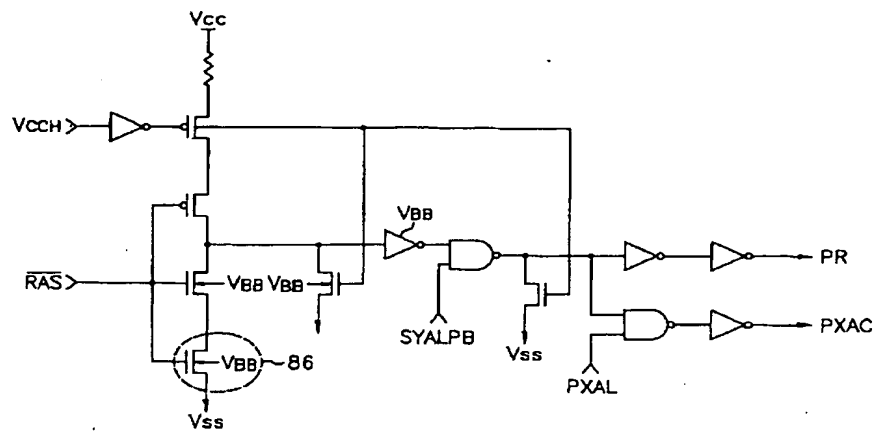
【図19】



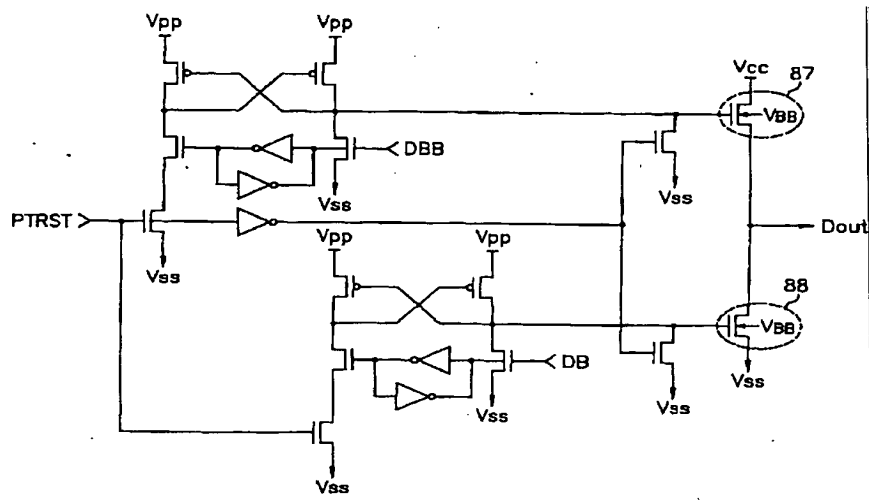
【図20】



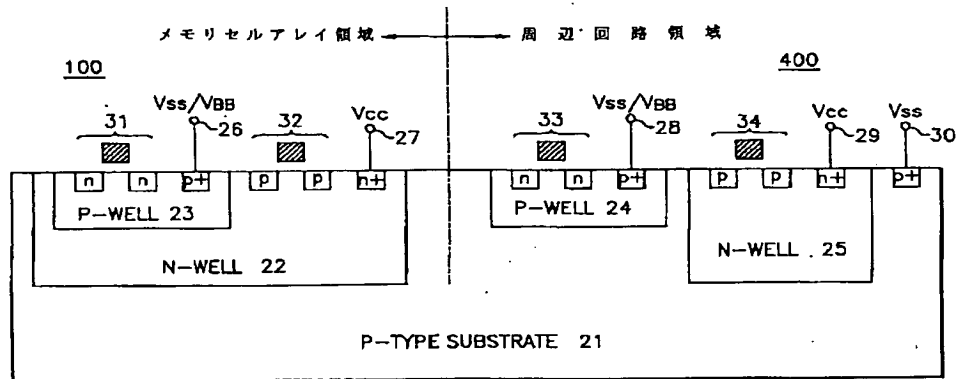
【図21】



【図 22】



【図 23】



フロントページの続き

(72)発明者 昔 容軾

大韓民国大邱直轄市西区坪里4洞1348番地
4号金鳥アパート1棟607号